



INSTITUT TEKNOLOGI TELKOM SURABAYA
FAKULTAS TEKNIK ELEKTRO
PROGRAM STUDI S1 TEKNIK KOMPUTER

Kode Dokumen

RENCANA PEMBELAJARAN SEMESTER

MATA KULIAH (MK)	KODE	Rumpun MK	BOBOT (sks)		SEMESTER	Tgl Penyusunan
Desain dan Sistem Logika Digital	FEA2123	Sistem Digital	T=3	P=0	3	1 Maret 2018
OTORISASI	Pengembang RPS		Koordinator RMK		Ketua PRODI	
	Helmy Widyantara, S.Kom., M.Eng		Helmy Widyantara, S.Kom., M.Eng		Helmy Widyantara, S.Kom., M.Eng	
Capaian Pembelajaran (CP)	CPL-PRODI					
	[P-02]	Menguasai pengetahuan dasar dalam bidang ilmu teknik elektro				
	[P-05]	Menguasai dasar-dasar teknik telekomunikasi, baik yang klasik maupun modern serta aplikasinya dalam analisis dan perancangan sistem telekomunikasi				
	[KK-01]	Mampu menerapkan matematika, sains, dan prinsip rekayasa (engineering principles) untuk menyelesaikan masalah rekayasa kompleks pada sistem telekomunikasi				
Capaian Pembelajaran (CP)	CPMK					
	CPMK-1 Mahasiswa mampu menjelaskan sistem bilangan yang berlaku pada sistem digital dan proses konversi bilangan [P-02, KK-01]					
	CPMK-2 Mahasiswa mampu menggunakan hukum-hukum dan teorema aljabar boolean, menuliskan fungsi logika dalam tabel kebenaran dan menyederhanakan fungsi logika [P-02, KK-01]					
	CPMK-3 Mahasiswa mampu membuat dan menyusun kembali rangkaian kombinasional, rangkaian gerbang logika dasar, fungsi logika, tabel kebenaran, sampai dengan sistem bilangan yang merupakan dasar dari sistem komputer. [P-02, P-05, KK-01]					
Diskripsi Singkat MK	Mahasiswa akan mempelajari tentang Teori Aljabar boolean dan implementasinya pada Rangkaian Logika. Topik terdiri Pengenalan perkembangan sistem digital, Gerbang gerbang dasar rangkaian logika, Sistem bilangan, Rangkaian kombinasional, Perancangan dan penyederhanaan rangkaian kombinasional menggunakan aljabar boolean dan peta K-Map, Sistem Memory, Rangkaian sequensial, perancangan dan analisisnya.					
Bahan Kajian / Materi Pembelajaran	<ol style="list-style-type: none"> Memahami Aljabar Boolean Memahami sistem bilangan binary Mampu merancang rangkaian logika kombinasional dan penyederhanaannya menggunakan aljabar boolean dan K-Map 					

	4. Mampu menganalisa dan merancang rangkaian sequential 5. Mampu menggunakan Program Aplikasi untuk perancangan Rangkaian Logika					
Pustaka	Utama :					
	1. Lawanto, O. 2000. Dasar Teknik Digital. Surabaya: Laboratorium Digital Universitas Surabaya 2. Mano, M.M. 2000. Digital Design Third Edition. New Jersey: Printice Hall, Inc 3. Stephen Brown and Zvonko Vranesic. Fundamentals of Digital Logic with Verilog Design. McGraw-Hill. 2014.					
	Pendukung :					
	1. Stephen Brown and Zvonko Vranesic. Fundamentals of Digital Logic with VHDL Design. McGraw-Hill. 2009. 2. Volnei A.Pedroni. Circuit Design with VHDL. MIT Press. 2004					
Dosen Pengampu	-					
Matakuliah syarat	-					
Mg Ke-	Sub-CPMK (Kemampuan akhir tiap tahap belajar)	Indikator Penilaian	Kriteria & Bentuk Penilaian	Bentuk, Metode Pembelajaran, dan Penugasan Mahasiswa [Media & Sumber belajar] [Estimasi Waktu]	Materi Pembelajaran [Pustaka]	Bobot Penilaian (%)
(1)	(2)	(3)	(4)	(5)	(6)	(7)
(1,2)	[C3,A2] Mahasiswa mampu menggunakan hukum-hukum dan teorema aljabar boolean.	Mahasiswa dapat membuktikan persamaan logika dan penyederhanaan fungsi logika.	Latihan Soal	Ceramah & Diskusi Kelompok [TM: 2x(3x50'')] Tugas-1 Mengerjakan latihan soal [BT+BM:(2+2)x(3x60'')]	Fungsi Boolean, Tabel Kebenaran, Penyederhanaan fungsi [U1]: Hal 71-100 [P2]: Hal 34-63	5%
(3,4)	[C3,A2] Mahasiswa mampu menjelaskan sistem bilangan digital dan konversinya.	<ul style="list-style-type: none"> • Mahasiswa dapat membedakan bilangan biner, oktal, dan heksa. • Mahasiswa dapat mengkonversikan bilangan basis 10 ke basis 2ⁿ atau sebaliknya, serta konversi bilangan antar basis bilangan 2ⁿ yang lain. 	Latihan Soal	Ceramah & Diskusi Kelompok [TM: 2x(3x50'')] Tugas-2 Mengerjakan latihan soal [BT+BM:(2+2)x(3x60'')]	Sistem bilangan pada sistem digital. Materi: bilangan biner, oktal, dan heksa, Konversi bilangan. [U1] : Hal 37-43 [U2] : Hal 4-9	10%

(5,6,7)	[C3,A2] Mahasiswa mampu menyederhanakan fungsi logika dan membuat rangkaian logika dengan gerbang logika dasar.	<ul style="list-style-type: none"> • Mahasiswa dapat menyederhanakan fungsi logika dengan K-Map dan metode tabular • Mahasiswa dapat membuat rangkaian logika dengan gerbang logika dasar. 	Latihan Soal dan Project 1	Ceramah & Tutorial Diskusi Kelompok [TM: 3x(3x50'')] Tugas-3 Membuat penyederhanaan fungsi dan membuat rangkaian logika dengan multisim [BT+BM:(3+3)x(3x60'')]	Tabel Kebenaran, Penyederhanaan fungsi [U1]: Hal 101-128 [P2]: Hal 64-112	25%
8	Evaluasi Tengah Semester / Ujian Tengah Semester					
(9,10,11)	[C4,A3] Mahasiswa mampu membuat rangkaian kombinasional.	<ul style="list-style-type: none"> • Mahasiswa dapat membuat rangkaian kombinasional pada Multisim. • Mahasiswa dapat membuat cascading decoder dan multiplexer 	Project 2	Ceramah & Tutorial Diskusi Kelompok [TM: 3x(3x50'')] Tugas-4 Membuat rangkaian kombinasional kompleks dengan multisim [BT+BM:(3+3)x(3x60'')]	Logic Design [U2] : Hal 231-242 Tugas-4: Project membuat rangkaian dengan multisim	30%
(12,13,14,15)	[C4,A3] Mampu menganalisa dan merancang rangkaian sequential.	Mahasiswa dapat membuat dan merancang rangkaian sequential dengan SR-FF,D-FF dan JK-FF, dengan metode mealy and moore.	Project 3	Ceramah & Tutorial Diskusi Kelompok [TM: 4x(3x50'')] Tugas-5 Membuat penyederhanaan fungsi dan rangkaian logika dengan FPGA [BT+BM:(4+4)x(3x60'')]	Logic Design [U3] : Hal 101-221 Tugas-5: Project membuat rangkaian dengan multisim	30%
16	Evaluasi Akhir Semester / Ujian Akhir Semester					


Catatan :

1. Capaian Pembelajaran Lulusan PRODI (CPL-PRODI) adalah kemampuan yang dimiliki oleh setiap lulusan PRODI yang merupakan internalisasi dari sikap, penguasaan pengetahuan dan ketrampilan sesuai dengan jenjang prodinya yang diperoleh melalui proses pembelajaran.
2. CPL yang dibebankan pada mata kuliah adalah beberapa capaian pembelajaran lulusan program studi (CPL-PRODI) yang digunakan untuk pembentukan/pengembangan sebuah mata kuliah yang terdiri dari aspek sikap, ketrampilan umum, ketrampilan khusus dan pengetahuan.
3. CP Mata kuliah (CPMK) adalah kemampuan yang dijabarkan secara spesifik dari CPL yang dibebankan pada mata kuliah, dan bersifat spesifik terhadap bahan kajian atau materi pembelajaran mata kuliah tersebut.

4. Sub-CP Mata kuliah (Sub-CPMK) adalah kemampuan yang dijabarkan secara spesifik dari CPMK yang dapat diukur atau diamati dan merupakan kemampuan akhir yang direncanakan pada tiap tahap pembelajaran, dan bersifat spesifik terhadap materi pembelajaran mata kuliah tersebut.
5. Kreteria Penilaian adalah patokan yang digunakan sebagai ukuran atau tolok ukur ketercapaian pembelajaran dalam penilaian berdasarkan indikator-indikator yang telah ditetapkan. Kreteria penilaian merupakan pedoman bagi penilai agar penilaian konsisten dan tidak bias. Kreteria dapat berupa kuantitatif ataupun kualitatif.
6. Indikator penilaian kemampuan dalam proses maupun hasil belajar mahasiswa adalah pernyataan spesifik dan terukur yang mengidentifikasi kemampuan atau kinerja hasil belajar mahasiswa yang disertai bukti-bukti.


Catatan tambahan:

- (1). Bobot SKS (P = Praktek; T= Teori).
- (2). TM: Tatap Muka; BT: Beban Tugas; BM: Belajar Mandiri.
- (3). 1 sks = (50' TM + 50' PT + 60' BM)/Minggu
- (4). Simbol-simbol elemen KKNi pada CPL-Prodi: S = Sikap; KU = Ketrampilan Umum; KK = Ketrampilan Khusus; P = Pengetahuan

 IT Telkom Surabaya <i>Solution for The Nation</i>	INSTITUT TEKNOLOGI TELKOM SURABAYA FAKULTAS TEKNIK ELEKTRO PROGRAM STUDI S1 TEKNIK KOMPUTER	
	SILABUS SINGKAT	
MATA KULIAH	Nama	Desain dan Sistem Logika Digital
	Kode	TK21T03
	Kredit	3 SKS
	Semester	3
DESKRIPSI MATA KULIAH		
Mahasiswa akan mempelajari tentang Teori Aljabar boolean dan implementasinya pada Rangkaian Logika. Topik terdiri Pengenalan perkembangan sistem digital, Gerbang gerbang dasar rangkaian logika, Sistem bilangan, Rangkaian kombinasional, Perancangan dan penyederhanaan rangkaian kombinasional menggunakan aljabar boolean dan peta K-Map, Sistem Memory, Rangkaian sequensial, perancangan dan analisisnya.		
CAPAIAN PEMBELAJARAN MATA KULIAH (CPMK)		

CPMK-1	Mahasiswa mampu menjelaskan sistem bilangan yang berlaku pada sistem digital dan proses konversi bilangan [KU-01, PE-02]
CPMK-2	Mahasiswa mampu menggunakan hukum-hukum dan teorema aljabar boolean, menuliskan fungsi logika dalam tabel kebenaran dan menyederhanakan fungsi logika [SI-08, PE-01, PE-02]
CPMK-3	CPMK-3 Mahasiswa mampu membuat dan menyusun kembali rangkaian kombinasional, rangkaian gerbang logika dasar , fungsi logika , tabel kebenaran, sampai dengan sistem bilangan yang merupakan dasar dari sistem komputer. [SI-08, KU-01, KK-02, PE-04]
SUB CAPAIAN PEMBELAJARAN MATA KULIAH (Sub-CPMK)	
[C3,A2]	Mahasiswa mampu menggunakan hukum-hukum dan teorema aljabar boolean.
[C3,A2]	Mahasiswa mampu menjelaskan sistem bilangan digital dan konversinya.
[C3,A2]	Mahasiswa mampu menyederhanakan fungsi logika dan membuat rangkaian logika dengan gerbang logika dasar.
[C4,A3]	Mahasiswa mampu membuat rangakaian kombinasional.
[C4,A3]	Mampu menganalisa dan merancang rangkaian sequential.
MATERI PEMBELAJARAN	
1	Memahami Aljabar Boolean
2	Memahami sistem bilangan binary
3	Mampu merancang rangkaian logika kombinasional dan penyederhanaannya
4	menggunakan aljabar boolean dan K-Map
5	Mampu menganalisa dan merancang rangkaian sequential
6	Mampu menggunakan Program Aplikasi untuk perancangan Rangkaian Logika
PUSTAKA	
PUSTAKA UTAMA	
1	Lawanto, O. 2000. Dasar Teknik Digital. Surabaya: Laboratorium Digital Universitas Surabaya
2	Mano, M.M. 2000. Digital Design Third Edition. New Jersey: Printice Hall, Inc
3	Stephen Brown and Zvonko Vranesic. Fundamentals of Digital Logic with Verilog Design. McGraw-Hill. 2014.
PUSTAKA PENDUKUNG	

1	Stephen Brown and Zvonko Vranesic. Fundamentals of Digital Logic with VHDL Design. McGraw-Hill. 2009.
2	Volnei A.Pedroni. Circuit Design with VHDL. MIT Press. 2004
PRASYARAT (Jika ada)	
-	

	INSTITUT TEKNOLOGI TELKOM SURABAYA FAKULTAS TEKNIK ELEKTRO PROGRAM STUDI S1 TEKNIK KOMPUTER				
	RENCANA TUGAS MAHASISWA				
MATA KULIAH	Desain dan Sistem Logika Digital				
KODE	TK21T03	sks	3	SEMESTER	3
DOSEN PENGAMPU	Helmy Widyantara, S.Kom., M.Eng				
BENTUK TUGAS		WAKTU Pengerjaan Tugas			
Project 1		Minggu 6-7			
Project 2		Minggu 9-10			
Project 3		Minggu 12-14			
JUDUL TUGAS					
Project 1. Membuat penyederhanaan fungsi dan membuat rangkaian logika dengan multisim					
Project 2. Membuat rangkaian kombinasional kompleks dengan multisim					
Project 3. Membuat penyederhanaan fungsi logika dan membuat rangkaian logika dengan FPGA					
SUB CAPAIAN PEMBELAJARAN MATA KULIAH					
DISKRIPSI TUGAS					
METODE Pengerjaan Tugas					
Tugas project dilakukan secara berkelompok, satu kelompok terdiri dari 3 mahasiswa. Tugas didemokan secara langsung pada dosen pengampu matakuliah pada :					

Project 1. Minggu 7 Project 2. Minggu 10 Project 3. Minggu 14	
BENTUK DAN FORMAT LUARAN	
a. Obyek Garapan: Desain rangkaian logika dengan Multisim dan FPGA b. Bentuk Luaran: Aplikasi rangkaian logika dengan gerbang logika dasar, rangkaian kombinasional, dan rangkaian sequential	
INDIKATOR, KRETERIA DAN BOBOT PENILAIAN	
.....	
JADWAL PELAKSANAAN	
Aktivitas:	Tanggal:
LAIN-LAIN	
.....	
DAFTAR RUJUKAN	
.....	



INSTITUT TEKNOLOGI TELKOM SURABAYA
FAKULTAS TEKNIK ELEKTRO
PROGRAM STUDI S1 TEKNIK KOMPUTER

LEMBAR SOAL UJIAN

ETS SEMESTER GASAL Tahun 2017

Mata Kuliah		Kode/sks	
Hari/Tanggal/jam		Kelas	
Dosen Pengampu		Ruang	
Waktu Ujian		TTG Dosen Pengampu	TTG Prodi
Sifat Ujian			

SUB CAPAIAN PEMBELAJARAN MATA KULIAH

1.
2.

Soal **Bobot(%)**

1.1	<p>Sederhanakanlah persamaan logika dibawah ini dengan Aljabar Boolean dan K-Map.</p> <p>a. $\overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}\overline{C} + A\overline{B}C$</p> <p>b. $\overline{A}B + \overline{A}\overline{B}C + \overline{A}BC$</p>	30
1.2	<p>Konfersikan bilangan berikut ini kedalam basis yang lain:</p> <p>a. $(329.543)_{10}$ ke basis $()_2$ $()_8$ $()_4$ $()_{16}$</p> <p>b. $(3FA.75)_{16}$ ke basis $()_2$ $()_8$</p>	30

	() ₄ () ₁₀	
1.3	<p>Diketahui fungsi logika sebagai berikut:</p> $F(a,b,c,d) = A \text{ not } B \text{ not } D + A \text{ B not } D + B \text{ not } C D$ <p>Tugas anda adalah:</p> <ol style="list-style-type: none"> Gambarkan rangkaian logikanya dengan jumlah gerbang logika yang paling minimal Implementasikan fungsi diatas menggunakan <u>sebuah gerbang logika</u> dan <u>dua buah dekoder (2x4)</u> Implementasikan fungsi diatas menggunakan <u>multi plekser (8x1)</u> 	40
SUB CAPAIAN PEMBELAJARAN MATA KULIAH		
3.		
Soal		Bobot(%)
2.1	apakah termasuk rumusan masalah deskriptif, komparatif, ataukah asosiatif).	
SUB CAPAIAN PEMBELAJARAN MATA KULIAH		
<p>[C3,A2] Mahasiswa mampu menggunakan hukum-hukum dan teorema aljabar boolean. [C3,A2] Mahasiswa mampu menjelaskan sistem bilangan digital dan konversinya. [C3,A2] Mahasiswa mampu menyederhanakan fungsi logika dan membuat rangkaian logika dengan gerbang logika dasar.</p>		
Soal		Bobot(%)
3.1		
3...		
<p>Selamat mengikuti ujian, dan berusahalah sekuat-kuat nya untuk MELAWAN KEINGINAN BERBUAT CURANG, ini adalah saat yg tepat berlatih berbuat JUJUR, kalau tidak sekarang kapan lagi !!!, semoga Anda semua sukses, salam.</p>		