



**INSTITUT TEKNOLOGI TELKOM SURABAYA**  
**FAKULTAS TEKNIK ELEKTRO**  
**PROGRAM STUDI S1 TEKNIK KOMPUTER**

**Kode Dokumen**

**RENCANA PEMBELAJARAN SEMESTER**

MATA KULIAH (MK)	KODE	Rumpun MK	BOBOT (sks)		SEMESTER	Tgl Penyusunan
Praktikum Organisasi dan Arsitektur Sistem Komputer	CEA3111	Organisasi dan Arsitektur Sistem Komputer	T=0	P=1	5	1 Maret 2018
OTORISASI	Pengembang RPS		Koordinator RMK		Ketua PRODI	
	Helmy Widyantara, S.Kom., M.Eng		Helmy Widyantara, S.Kom., M.Eng		Helmy Widyantara, S.Kom., M.Eng	
Capaian Pembelajaran (CP)	<b>CPL-PRODI</b>					
	[KU-08]	Mampu melakukan proses evaluasi diri terhadap kelompok kerja yang berada di bawah tanggung jawabnya, dan mampu mengelola pembelajaran secara mandiri				
	[KU-09]	Mampu mendokumentasikan, menyimpan, mengamankan, dan menemukan kembali data untuk menjamin kesahihan dan mencegah plagiasi				
	<b>CPMK</b>					
	CPMK-1 Mahasiswa mengenal Compiler GCC, Assembly Intel X86 [KU-08,KU-09] CPMK-2 Mahasiswa mengenal Pointer, Structure, Array [KU-08,KU-09] CPMK-3 Mahasiswa mengenal Instruction Set, Register, Memory, dan ALU [KU-08,KU-09] CPMK-4 Mahasiswa memahami konsep kerja CU, Top Level Design, Testbench [KU-08,KU-09]					
Diskripsi Singkat MK	Tujuan yang ingin dicapai dalam praktikum ini adalah agar para mahasiswa dapat memahami tentang konsep kerja dari CU dan hubungan antar peripheral yang terkait dalam tiap prosesnya.					
Bahan Kajian / Materi Pembelajaran	1. Memahami pengetahuan dasar dari kumpulan instruksi 2. Memahami arsitektur komputer 3. Memahami organisasi komputer					
Pustaka	<b>Utama :</b>					
	1. Stallings, William, Computer Organization and Architecture, 6th ed., Prentice Hall, Inc., 2003. 2. Hennessy, John L., & David A. Peterson, Computer Architecture, A Quantitative Approach, Morgan Kaufmann Inc., 1996. 3. Stephen Brown and Zvonko Vranesic. Fundamentals of Digital Logic with Verilog Design. McGraw-Hill. 2014.					

		<b>Pendukung :</b>				
		1. Stephen Brown and Zvonko Vranesic. Fundamentals of Digital Logic with VHDL Design. McGraw-Hill. 2009.				
		2. Volnei A.Pedroni. Circuit Design with VHDL. MIT Press. 2004				
<b>Dosen Pengampu</b>		-				
<b>Matakuliah syarat</b>		-				
<b>Mg Ke-</b>	<b>Sub-CPMK (Kemampuan akhir tiap tahap belajar)</b>	<b>Indikator Penilaian</b>	<b>Kriteria &amp; Bentuk Penilaian</b>	<b>Bentuk, Metode Pembelajaran, dan Penugasan Mahasiswa [Media &amp; Sumber belajar] [Estimasi Waktu]</b>	<b>Materi Pembelajaran [Pustaka]</b>	<b>Bobot Penilaian (%)</b>
<b>(1)</b>	<b>(2)</b>	<b>(3)</b>	<b>(4)</b>	<b>(5)</b>	<b>(6)</b>	<b>(7)</b>
<b>(1,2)</b>	[C2,A2] Mahasiswa mengenal Compiler GCC, Assembly Intel X86	Mahasiswa memahami bahasa C dan bahasa assembly	Praktek	Tutorial Diskusi Kelompok <b>[TM: 2x(3x50'')]</b>	<b>[U1]: Hal 71-100</b> <b>[U2]: Hal 34-63</b> <b>[U3] : Hal 91-110</b>	<b>10%</b>
<b>(3,4)</b>	[C2,A2] Mahasiswa mengenal Pointer, Structure, Array	Mahasiswa dapat Memahami array, pointer, structure, operator bitwise	Praktek	Tutorial Diskusi Kelompok <b>[TM: 2x(3x50'')]</b>	<b>[U1]: Hal 115-135</b> <b>[U2] : Hal 37-43</b> <b>[U3] : Hal 87-99</b>	<b>10%</b>
<b>(5,6,7)</b>	[C3,A2] Mahasiswa membuat Instruction Set, Register, Memory, dan ALU	Mahasiswa dapat membuat Instruction Memory, Data Memory, ALU dan Register dalam VHDL	Praktek	Tutorial Diskusi Kelompok <b>[TM: 3x(3x50'')]</b>	<b>[U3] : Hal 13-37</b> <b>[P1] : Hal 10-30</b> <b>[P2]: Hal 21-42</b>	<b>10%</b>
<b>(8,9,10)</b>	[C3,A2] Mahasiswa membuat konsep kerja CU, Top Level Design, Testbench	Mahasiswa dapat Membuat CU, top level design, testbench dalam VHDL	Praktek	Tutorial Diskusi Kelompok <b>[TM: 3x(3x50'')]</b>	<b>[U3] : Hal 40-49</b> <b>[P1] : Hal 31-50</b> <b>[P2]: Hal 45-61</b>	<b>30%</b>

**Catatan :**

1. Capaian Pembelajaran Lulusan PRODI (CPL-PRODI) adalah kemampuan yang dimiliki oleh setiap lulusan PRODI yang merupakan internalisasi dari sikap, penguasaan pengetahuan dan ketrampilan sesuai dengan jenjang prodinya yang diperoleh melalui proses pembelajaran.

2. CPL yang dibebankan pada mata kuliah adalah beberapa capaian pembelajaran lulusan program studi (CPL-PRODI) yang digunakan untuk pembentukan/pengembangan sebuah mata kuliah yang terdiri dari aspek sikap, ketrampilan umum, ketrampilan khusus dan pengetahuan.
3. CP Mata kuliah (CPMK) adalah kemampuan yang dijabarkan secara spesifik dari CPL yang dibebankan pada mata kuliah, dan bersifat spesifik terhadap bahan kajian atau materi pembelajaran mata kuliah tersebut.
4. Sub-CP Mata kuliah (Sub-CPMK) adalah kemampuan yang dijabarkan secara spesifik dari CPMK yang dapat diukur atau diamati dan merupakan kemampuan akhir yang direncanakan pada tiap tahap pembelajaran, dan bersifat spesifik terhadap materi pembelajaran mata kuliah tersebut.
5. Kreteria Penilaian adalah patokan yang digunakan sebagai ukuran atau tolok ukur ketercapaian pembelajaran dalam penilaian berdasarkan indikator-indikator yang telah ditetapkan. Kreteria penilaian merupakan pedoman bagi penilai agar penilaian konsisten dan tidak bias. Kreteria dapat berupa kuantitatif ataupun kualitatif.
6. Indikator penilaian kemampuan dalam proses maupun hasil belajar mahasiswa adalah pernyataan spesifik dan terukur yang mengidentifikasi kemampuan atau kinerja hasil belajar mahasiswa yang disertai bukti-bukti.

Catatan tambahan:

- (1). Bobot SKS (P = Praktek; T= Teori).
- (2). TM: Tatap Muka; BT: Beban Tugas; BM: Belajar Mandiri.
- (3).  $1 \text{ sks} = (50' \text{ TM} + 50' \text{ PT} + 60' \text{ BM})/\text{Minggu}$
- (4). Simbol-simbol elemen KKNi pada CPL-Prodi: S = Sikap; KU = Ketrampilan Umum; KK = Ketrampilan Khusus; P = Pengetahuan